**Типовые контрольные задания**

Вопросы контрольных работ

* + 1. Чем отличается триггер-защелка и триггер, тактируемый фронтом импульса? Когда следует использовать каждый из них?
    2. Напишите строку на HDL, реализующую управление 32-битной шиной data сигналом sel, получая 32-битный сигнал result. Если sel истинно, result = data, иначе все биты result – нули
    3. Объясните разницу между блокирующими и неблокирующими присваиваниями в SystemVerilog. Приведите примеры.
    4. Расскажите основные этапы создания проекта в среде Quartus II.
    5. Что такое IP-ядро? Приведите примеры.
    6. Какие основные элементы ПЛИС используются при отладке?
    7. Каково основное назначение файла с расширением .sdc в проекте?
    8. Что такое constraints? Приведите пример.
    9. В чем отличия машинного языка и ассемблера?
    10. Перечислите этапы трансляции и запуска команды. Поясните каждый
    11. Объясните преимущества конвейерных микропроцессоров. Если большее количество стадий конвейера позволяет процессору работать быстрее, почему нет процессоров с сотней стадий?
    12. Какие бывают типы NIOS процессоров? Расскажите об их отличиях между собой
    13. Расскажите основные этапы разработки проекта в среде Quartus II с soft-процессором
    14. Расскажите о прерываниях. Для каких целей они применяются?

Примеры контрольных заданий

1. Спроектируйте асинхронно устанавливаемый D-триггер, используя логические элементы.
2. Нарисуйте диаграмму схемы, описанной программой ниже. Упростите схему, добившись минимума вентилей

**SystemVerilog**

module exercise1(input logic a, b, c,

output logic y, z);

assign y = a & b & c |a & b & ~c | a & ~b & c;

assign z = a & b |~a & ~b;

endmodule

**VHDL**

library IEEE; use IEEE.STD\_LOGIC\_1164.all;

entity exercise1 is

port(a, b, c: in STD\_LOGIC;

y, z: out STD\_LOGIC);

end;

architecture synth of exercise1 is

begin

y <= (a and b and c) or (a and b and not c) or (a and not b and c);

z <= (a and b) or (not a and not b);

end synth;

1. Напишите модуль на HDL для SR-защелки
2. Нарисуйте диаграмму конечного автомата, который детектирует поступление на вход последовательности 01010.
3. Напишите модуль на HDL для контроллера светофора
4. Напишите модуль на HDL для 8-битного счетчика в коде Грея
5. Что означает запись:

create\_clock -period 10MHz -name {clk} [get\_ports {clk}]

Примеры тем докладов

1. Использование несинтезируемых конструкций на VHDL при написании программ
2. Сравнение различных семейств ПЛИС производителей Altera и Xilinx
3. Особенности работы с различными типами памяти
4. PLL и Fractional PLL. Отличия, способы применения.
5. Дополнительные возможности при разработке на ПЛИС: инкрементальная компиляция, ECO
6. Микроархитектура процессора x86
7. Улучшенные микроархитектуры: суперскалярный процессор, многопоточность и др.