

## **Содержание дисциплины**

### **Раздел 1. ПЛИС. Обзор архитектуры, областей применения, методологии создания проекта и языков описания аппаратуры (VHDL, Verilog)**

*1 (1.1).* Повторение понятий системы счисления, основные законы алгебры логики; Роль и значение программируемой логики.

*2 (1.2).* Основы программируемой логики. Структура создания проекта в ПЛИС.

*3 (1.3).* Основы языка описания аппаратуры VHDL (Verilog).

*4 (1.4).* Логический синтез цифровых функциональных узлов с применением VHDL (Verilog).

### **Раздел 2. Отладка (Debug) проектов в реальном времени**

*1 (2.1).* Знакомство с инструментами отладки программы Quartus II. Использование логического анализатора Signal Tap II.

### **Раздел 3. Временной анализ логических схем**

*1 (3.1).* Основные параметры временного анализа цифровой логической схемы.

*2 (3.2).* Расфазировка тактовых сигналов, метастабильность, максимальная частота работы цифровой логической схемы.

*3 (3.3).* Статический временной анализатор. Работа с Quartus II TimeQuest Timing Analyzer.

*4 (3.4).* Методология проектирования эффективного дизайна с использованием временных ограничений.

### **Раздел 4. Архитектура процессора**

*1 (4.1).* Язык ассемблера, машинный язык, этапы трансляции и запуска программы.

*2 (4.2).* Микроархитектура процессора, конвейеризация в процессорах.

*3 (4.3).* Сравнение модели с реализацией в ПЛИС.

### **Раздел 5. Знакомство с NIOS, MIPS**

*1 (5.1).* Знакомство с инструментом Qsys, создание процессорной системы на основе soft-процессора.

*2 (5.2).* Создание аппаратного ускорителя алгоритма, исполняемого в soft-процессоре, с использованием программируемой логики.